

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshihiro TERAZAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SCAN TEST CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-391100

MONTH/DAY/YEAR

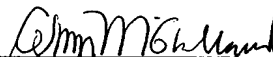
November 20, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月20日
Date of Application:

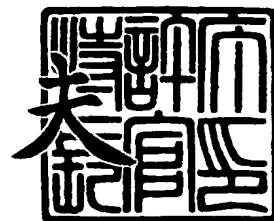
出願番号 特願2003-391100
Application Number:
[ST. 10/C]: [JP²2003-391100]

出願人 東芝マイクロエレクトロニクス株式会社
Applicant(s): 株式会社東芝

2003年12月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3101824

【書類名】 特許願
【整理番号】 14104801
【提出日】 平成15年11月20日
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/28
【発明者】
 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内
 【氏名】 寺 澤 敏 弘
【特許出願人】
 【識別番号】 000221199
 【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1
 【氏名又は名称】 東芝マイクロエレクトロニクス株式会社
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【選任した代理人】
 【識別番号】 100112793
 【弁理士】
 【氏名又は名称】 高 橋 佳 大
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に挿入接続され、前記第 1 の順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路を備えていることを特徴とするスキャンテスト回路。

【請求項 2】

観測しようとする出力データに対応するシフトデータが前記出力データのキャプチャの一周期前のスキャンシフトにおいて設定され、前記シフトデータに対応するスキャンデータを出力する第 1 の順序回路と、

前記第 1 の順序回路から出力される前記スキャンデータを当該第 1 の順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路と、

スキャンテスト対象のパスに含まれ、前記正転／反転制御回路により正転又は反転させられた前記スキャンデータが入力される組合せ回路と、

前記スキャンデータに応じて前記組合せ回路から出力される出力データのキャプチャを行う第 2 の順序回路と、

を備えていることを特徴とするスキャンテスト回路。

【請求項 3】

前記正転／反転制御回路は、外部から入力される正転／反転制御信号に応じて前記スキャンデータを正転及び反転させるものであることを特徴とする請求項 1 又は 2 に記載のスキャンテスト回路。

【請求項 4】

前記第 1 の順序回路は、前記スキャンデータを正転データ及び反転データとして出力する回路であり、

前記正転／反転制御回路は、外部から入力される正転／反転制御信号に応じて前記スキャンデータの正転データ又は反転データを選択的に出力するマルチプレクサであることを特徴とする請求項 1 乃至 3 のいずれかに記載のスキャンテスト回路。

【請求項 5】

前記第 1 の順序回路から出力される前記スキャンデータの反転データを生成するインバータをさらに備え、

前記正転／反転制御回路は、外部から入力される正転／反転制御信号に応じて前記スキャンデータの正転データ又は反転データを選択的に出力するマルチプレクサであることを特徴とする請求項 1 乃至 3 のいずれかに記載のスキャンテスト回路。

【請求項 6】

前記正転／反転制御回路は、前記第 1 の順序回路から出力される前記スキャンデータが一方側入力に入力され、正転／反転制御信号が他方側入力に入力される 2 入力排他的論理和ゲート回路であることを特徴とする請求項 1 乃至 3 のいずれかに記載のスキャンテスト回路。

【書類名】明細書

【発明の名称】スキャンテスト回路

【技術分野】

【0001】

本発明は、半導体集積回路のテスト回路に係り、特に、半導体集積回路のスキャンテストをその回路の実動作速度において行うスキャンテスト (At-Speed Scan Test) 回路に関する。

【背景技術】

【0002】

半導体集積回路のチップ製造工程における故障や不具合を検出する手段として、半導体集積回路のテストをその回路の実動作速度において行う実動作速度テストの重要性が高まっており、特に、故障検出率を容易に向上させられるスキャンテストにおいて実動作速度テストを実行できれば、チップ製造工程における故障や不具合を相当の確率で検出することができる。

【0003】

従来の技術において実動作速度スキャンテストを実現する上で最も実用的なスキャンテスト回路の一つは、2相クロック式順序回路を用いて構成したスキャンテスト回路である。

【0004】

しかし、2相クロック式順序回路により構成したスキャンテスト回路の場合、スキャンシフト時、即ち、スキャンクロックパルスの立ち上がり時に、スキャンテスト対象のパスに含まれる組合せ回路に順序回路から1サイクル前のデータと同一のデータが入力されると、実動作速度スキャンテストが成立しない。

【0005】

即ち、順序回路から組合せ回路に、1サイクル前から同一のデータが入力されているため、クロック動作を高速化して、解析対象であるパスにおける信号伝播を実動作速度で解析しようとしても、2サイクル分の時間内に適正な値の出力が組合せ回路の出力ノードに到達すれば、見かけ上、テストに合格と判定されてしまうからである。

【0006】

従って、2相クロック式順序回路を用いて構成した従来のスキャンテスト回路では、正しいテスト結果が得られない場合があるという問題点がある。

【0007】

従来の技術において実動作速度スキャンテストを実現できる可能性のある他のスキャンテスト回路は、1相クロック式順序回路を用いて構成したスキャンテスト回路である。

【0008】

図5は、1相クロック式順序回路を用いて構成した従来のスキャンテスト回路のブロック図である。尚、図5においては、それぞれ1段の組合せ回路を含む3列の構成部分のみを示している。

【0009】

1相クロック式順序回路を用いて構成した従来のスキャンテスト回路は、縦続接続された第1の順序回路S1、第1の組合せ回路C1及び第2の順序回路S2と、縦続接続された第3の順序回路S3、第2の組合せ回路C2及び第4の順序回路S4と、縦続接続された第5の順序回路S5、第3の組合せ回路C3及び第6の順序回路S6とにより構成されている。

【0010】

そして、第2列の先頭に配置された第3の順序回路S3のスキャン入力TIには、第1列の先頭に配置された第1の順序回路S1の出力Q又は反転出力QNが入力され、第3列の先頭に配置された第5の順序回路S5のスキャン入力TIには、第2列の先頭に配置された第3の順序回路S3の出力Q又は反転出力QNが入力されている。

【0011】

尚、図5においては、一例として、第3の順序回路S3、第5の順序回路S5のスキヤン入力TIに、第1の順序回路S1、第3の順序回路S3の反転出力QNが入力されている場合が示されている。

【0012】

また、図5の例では、第3の順序回路S3の出力Qが第1の組合せ回路C1に入力され、第5の順序回路S5の出力Qが第2の組合せ回路C2に入力されている。

【0013】

図6は、1相クロック式順序回路を用いて構成した従来のスキヤンテスト回路におけるスキヤンクロックのタイミングチャートである。

【0014】

上記従来のスキヤンテスト回路におけるスキヤンテストでは、スキヤンクロック (Scan Clock) の立ち上がりエッジにおけるスキヤンシフト (Scan Shift) のタイミングにおいて、シフトデータ入出力ポートI/Oから第1の順序回路S1、第3の順序回路S3、第5の順序回路S5にシフトデータをそれぞれ設定し、第1の順序回路S1、第3の順序回路S3、第5の順序回路S5から第1の組合せ回路C1、第2の組合せ回路C2、第3の組合せ回路C3へ、シフトデータに対応するスキヤンデータが入力されるようにする。

【0015】

そして、その結果として第1の組合せ回路C1、第2の組合せ回路C2、第3の組合せ回路C3から出力される出力データを、スキヤンクロックの後続の周期の立ち上がりエッジにおいて第2の順序回路S2、第4の順序回路S4、第6の順序回路S6によりキャプチャ (Capture) することにより、第1の組合せ回路C1、第2の組合せ回路C2、第3の組合せ回路C3の動作を評価する。

【0016】

以上のように、1相クロック式順序回路を用いて構成したスキヤンテスト回路が、これまでにいくつか提案されている (例えば、特許文献1参照。)。

【特許文献1】特開2002-289776号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかし、1相クロック式順序回路を用いてスキヤンテスト回路を構成した場合には、スキヤンテストの際に順序回路に供給されるスキヤンクロックとしてシステムクロックのスキヤンモードを用いるため、スキヤンクロックの周期、即ち、図6における期間A、B、Cは常に一定 (例えば、30ns) である。

【0018】

従って、実動作速度スキヤンテストを実現するためには、スキヤンクロックの周波数を高周波数にするしか方法が無い。

【0019】

但し、スキヤンクロックの周波数を高周波数にしたとしても、実動作速度スキヤンテストを実現するためには、さらに、シフトデータ入出力ポートI/Oからシフトデータを高速に設定する必要もある。

【0020】

ところが、このシフトデータの設定のためにスキヤンテストに用いられるテストのうちの、テスト対象の半導体集積回路の実動作速度におけるクロック周波数と同等の高周波数の動作クロック周波数を有するものは非常に高価である。

【0021】

そのため、従来は、実動作速度のスキヤンテスト回路の実用化は困難であると考えられていた。

【課題を解決するための手段】

【0022】

本発明の目的は、簡易かつ安価に実動作速度スキヤンテストを実行することが可能なス

キャンテスト回路を提供することである。

【0023】

本発明の実施の一形態に係るスキャンテスト回路の基本構成によれば、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に挿入接続され、上記順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路を備えていることを特徴とする。

【0024】

本発明の実施の一形態に係るスキャンテスト回路の具体的構成によれば、観測しようとする出力データに対応するシフトデータが上記出力データのキャプチャの一周期前のスキャンシフトにおいて設定され、上記シフトデータに対応するスキャンデータを出力する第1の順序回路と、上記第1の順序回路から出力される上記スキャンデータを当該第1の順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路と、スキャンテスト対象のパスに含まれ、上記正転／反転制御回路により正転又は反転させられた上記スキャンデータが入力される組合せ回路と、上記スキャンデータに応じて上記組合せ回路から出力される出力データのキャプチャを行う第2の順序回路と、を備えていることを特徴とする。

【発明の効果】

【0025】

本発明の実施の一形態に係るスキャンテスト回路によれば、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に挿入接続され、上記順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路を備えているので、簡易かつ安価に実動作速度スキャンテストを実行することができる。

【発明を実施するための最良の形態】

【0026】

以下、本発明に係るスキャンテスト回路の実施の形態について、図面を参照しながら説明する。

【0027】

図1は、本発明の第1の実施の形態に係るスキャンテスト回路のブロック図である。尚、図1においては、それぞれ1段の組合せ回路を含む3列の構成部分のみを示している。

【0028】

本発明の第1の実施の形態に係るスキャンテスト回路は、1相クロック式順序回路を用いて構成したスキャンテスト回路であり、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に、順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路としてマルチプレクサを挿入接続したものである。

【0029】

具体的には、本発明の第1の実施の形態に係るスキャンテスト回路は、縦続接続された第1の順序回路S1、第1のマルチプレクサMUX1、第1の組合せ回路C1及び第2の順序回路S2と、縦続接続された第3の順序回路S3、第2のマルチプレクサMUX2、第2の組合せ回路C2及び第4の順序回路S4と、縦続接続された第5の順序回路S5、第3のマルチプレクサMUX3、第3の組合せ回路C3及び第6の順序回路S6とにより構成されている。

【0030】

そして、第2列の先頭に配置された第3の順序回路S3のスキャン入力TIには、第1列の先頭に配置された第1の順序回路S1の出力Q又は反転出力QNが入力され、第3列の先頭に配置された第5の順序回路S5のスキャン入力TIには、第2列の先頭に配置された第3の順序回路S3の出力Q又は反転出力QNが入力されている。

【0031】

尚、図1においては、一例として、第3の順序回路S3、第5の順序回路S5のスク

ン入力T Iに、第1の順序回路S 1、第3の順序回路S 3の反転出力Q Nが入力されている場合が示されている。

【0032】

第1のマルチプレクサMUX 1、第2のマルチプレクサMUX 2、第3のマルチプレクサMUX 3の二つのデータ入力には、それぞれ、第1の順序回路S 1、第3の順序回路S 3、第5の順序回路S 5の出力Q及び反転出力Q Nが入力されている。また、第1のマルチプレクサMUX 1、第2のマルチプレクサMUX 2、第3のマルチプレクサMUX 3のセレクト入力には、制御信号SCANDINVが入力されている。

【0033】

そして、各マルチプレクサは、制御信号SCANDINVに応じて、出力Q及び反転出力Q Nのいずれかを、後段の第1の組合せ回路C 1、第2の組合せ回路C 2、第3の組合せ回路C 3にそれぞれ選択的に出力する。

【0034】

これにより、各マルチプレクサは、前段の順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路としての機能を果たしている。

【0035】

また、図1では、第2のマルチプレクサMUX 2の出力が第1の組合せ回路C 1に入力され、第3のマルチプレクサMUX 3の出力が第2の組合せ回路C 2に入力されている。

【0036】

本発明の第1の実施の形態に係るスキャンテスト回路は、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に、正転／反転制御回路としてのマルチプレクサを挿入接続したことにより、組合せ回路の前段及び後段の順序回路間のデータ伝達時間を任意に制御するのと同等の効果を得ることができる。

【0037】

従って、順序回路を駆動しているスキャンクロックの周波数に依存せずに、実動作速度スキャンテストを実行することが可能となる。

【0038】

図2は、本発明の第1の実施の形態に係るスキャンテスト回路におけるスキャンクロック及び制御信号SCANDINVのタイミングチャートである。本発明の第1の実施の形態に係るスキャンテスト回路の機能及び動作を、図5に示す従来のスキャンテスト回路と比較しながら具体的に説明する。

【0039】

順序回路として1相クロック式順序回路が用いられているので、順序回路に供給されるスキャンクロックの周期が30nsであるとする、観測しようとする出力データに対応するスキャンデータを入力するスキャンシフトから、出力データのキャプチャまでの期間も30nsであって、その期間の長さを変更することはできない。

【0040】

従って、図5に示す従来のスキャンテスト回路の場合、実動作速度スキャンテストを実行するには、スキャンクロックの周波数を高周波数にする以外に方法が無かった。また、前述したように、たとえスキャンクロックの周波数を高周波数にしたとしても、実動作速度スキャンテストを実現するためには、さらに、高価なテストを使用してシフトデータ入出力ポートI/Oからシフトデータを高速に設定する必要もあり、実動作速度スキャンテストの実行は困難であった。

【0041】

これに対して、本発明の第1の実施の形態に係るスキャンテスト回路は、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に、正転／反転制御回路としてのマルチプレクサを挿入接続しているので、観測しようとする出力データに対応するスキャンデータを入力するスキャンシフトから、出力データのキャプチャまでの期間（期間C＋期間D）、即ち、スキャンクロックの周期が30nsであっても、マルチプレクサから組合

せ回路に入力されるスキャンデータの値が切り替わるタイミングを制御信号SCANDINVによって任意に制御することができる。

【0042】

従って、本発明の第1の実施の形態に係るスキャンテスト回路は、組合せ回路に入力されるスキャンデータの値が切り替わるタイミングから、組合せ回路の出力データのキャプチャまでの期間Dを、スキャンクロックの周期よりも大幅に短縮することができ、実動作速度スキャンテストを実行することができる。

【0043】

例えば、第1の順序回路S1から第1のマルチプレクサMUX1、第1の組合せ回路C1を通過して第2の順序回路S2へ到達するパスについて実動作速度スキャンテストを実行する場合、第2の順序回路S2において観測しようとする出力データに対応するシフトデータが、第2の順序回路S2におけるキャプチャの一周期前のスキャンシフト（期間Cの開始時点におけるスキャンシフト）において第1の順序回路S1に設定され、設定されたシフトデータに対応するスキャンデータが出力Q及び反転出力QNとして第1の順序回路S1から第1のマルチプレクサMUX1の二つのデータ入力に入力される。

【0044】

しかし、期間Cの間は、第1のマルチプレクサMUX1のセレクト入力に入力される制御信号SCANDINVがH（High）レベルになっているので、第1のマルチプレクサMUX1は、第1の順序回路S1から出力されるスキャンデータを反転して出力する。即ち、第1のマルチプレクサMUX1は、第1の順序回路S1の出力Q及び反転出力QNのうちスキャンデータの反転データである反転出力QNを第1の組合せ回路C1に対して選択的に出力する。

【0045】

そして、期間Cが終了して期間Dへ移行し、制御信号SCANDINVがHレベルからL（Low）レベルに切り替わると、その時点から第1のマルチプレクサMUX1は、第1の順序回路S1から出力されるスキャンデータを正転の状態でも出力する。即ち、第1のマルチプレクサMUX1は、第1の順序回路S1の出力Q及び反転出力QNのうちスキャンデータの正転データである出力Qを第1の組合せ回路C1に対して選択的に出力する。

【0046】

制御信号SCANDINVがHレベルからLレベルに切り替わったタイミングからキャプチャまでの期間Dが、観測しようとするデータ信号の伝播に実際に費やされた時間となる。

【0047】

この期間Dの長さは、制御信号SCANDINVが切り替わるタイミングを制御することにより任意に変更することができる。

【0048】

従って、本発明の第1の実施の形態に係るスキャンテスト回路の構成によれば、順序回路を駆動しているスキャンクロックの周波数に依存せずに、実動作速度スキャンテストを実行することができる。

【0049】

ところで、上述のように本発明の第1の実施の形態に係るスキャンテスト回路を使用して実動作速度スキャンテストを実行する場合、各順序回路にクロックを供給するために使用されるクロック供給用外部端子から各順序回路のクロック入力までの間におけるクロック遅延と、各マルチプレクサに制御信号SCANDINVを供給するために使用される制御信号供給用外部端子から各マルチプレクサのセレクト入力までの間における信号遅延とが計算できないと、図2に示す期間Dの長さを見積もることができない。

【0050】

上記不都合を解決するためには、クロック供給用外部端子と各順序回路のクロック入力とが同時に状態遷移するようにCTS（Clock Tree Synthesis）処理を行い、同様に、制御信号供給用外部端子と各マルチプレクサのセレクト入力とが同時に状態遷移するようにCTS処理を行うとよい。

【0051】

このCTS処理により、クロック供給用外部端子と制御信号供給用外部端子とを観測すれば、クロックが各順序回路に入力されるタイミングと制御信号SCANDINVが各マルチプレクサに入力されるタイミングとの時間差が判り、期間Dの長さを、テストを行いたい時間間隔に正確に制御することが可能となる。尚、このCTS処理は、後述する他の実施の形態においても適用可能である。

【0052】

図3は、本発明の第2の実施の形態に係るスキャンテスト回路のブロック図である。尚、図3においては、それぞれ1段の組合せ回路を含む3列の構成部分のみを示している。

【0053】

図1に示す本発明の第1の実施の形態に係るスキャンテスト回路においては、順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路としてマルチプレクサを挿入接続しているのに対し、図3に示す本発明の第2の実施の形態に係るスキャンテスト回路においては、正転／反転制御回路としてマルチプレクサの代わりに排他的論理和 (Exclusive OR) ゲート回路を挿入接続している。

【0054】

具体的には、本発明の第2の実施の形態に係るスキャンテスト回路は、縦続接続された第1の順序回路S1、第1の排他的論理和ゲート回路EX-OR1、第1の組合せ回路C1及び第2の順序回路S2と、縦続接続された第3の順序回路S3、第2の排他的論理和ゲート回路EX-OR2、第2の組合せ回路C2及び第4の順序回路S4と、縦続接続された第5の順序回路S5、第3の排他的論理和ゲート回路EX-OR3、第3の組合せ回路C3及び第6の順序回路S6とにより構成されている。

【0055】

そして、第2列の先頭に配置された第3の順序回路S3のスキャン入力TIには、第1列の先頭に配置された第1の順序回路S1の出力Q又は反転出力QNが入力され、第3列の先頭に配置された第5の順序回路S5のスキャン入力TIには、第2列の先頭に配置された第3の順序回路S3の出力Q又は反転出力QNが入力されている。

【0056】

尚、図3においては、一例として、第3の順序回路S3、第5の順序回路S5のスキャン入力TIに、第1の順序回路S1、第3の順序回路S3の反転出力QNが入力されている場合が示されている。

【0057】

第1の排他的論理和ゲート回路EX-OR1、第2の排他的論理和ゲート回路EX-OR2、第3の排他的論理和ゲート回路EX-OR3は、いずれも2入力排他的論理和ゲート回路であり、一方側入力には第1の順序回路S1、第3の順序回路S3、第5の順序回路S5の出力Qが入力され、他方側入力には制御信号SCANDINVが入力されている。

【0058】

そして、各排他的論理和ゲート回路は、制御信号SCANDINVに応じて、出力Qを正転又は反転させて、後段の第1の組合せ回路C1、第2の組合せ回路C2、第3の組合せ回路C3にそれぞれ出力する。

【0059】

これにより、各排他的論理和ゲート回路は、前段の順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路としての機能を果たしている。

【0060】

また、図3では、第2の排他的論理和ゲート回路EX-OR2の出力が第1の組合せ回路C1に入力され、第3の排他的論理和ゲート回路EX-OR3の出力が第2の組合せ回路C2に入力されている。

【0061】

本発明の第2の実施の形態に係るスキャンテスト回路も、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に、正転／反転制御回路としての排他的論理和ゲート回路を挿入接続したことにより、組合せ回路の前段及び後段の順序回路間のデータ伝達時間を任意に制御するのと同等の効果を得ることができる。

【0062】

従って、順序回路を駆動しているスキャンクロックの周波数に依存せずに、実動作速度スキャンテストを実行することが可能となる。

【0063】

図4は、本発明の第3の実施の形態に係るスキャンテスト回路のブロック図である。尚、図4においては、それぞれ1段の組合せ回路を含む3列の構成部分のみを示している。

【0064】

図1に示す本発明の第1の実施の形態に係るスキャンテスト回路においては、順序回路から出力されるスキャンデータに対応する出力Q及び反転出力QNをそれぞれマルチプレクサの二つのデータ入力に直接入力しているのに対し、図4に示す本発明の第3の実施の形態に係るスキャンテスト回路においては、順序回路から出力されるスキャンデータに対応する出力Qを一方側データ入力には直接入力し、他方側データ入力にはインバータを介して反転させて入力している点が異なっている。

【0065】

以上の点を除くと、本発明の第3の実施の形態に係るスキャンテスト回路の構成は、本発明の第1の実施の形態に係るスキャンテスト回路の構成と全く同様である。

【0066】

従って、本発明の第3の実施の形態に係るスキャンテスト回路においても、本発明の第1の実施の形態に係るスキャンテスト回路と同様の効果を得ることができる。

【0067】

以上の本発明に係るスキャンテスト回路の各実施の形態においては、順序回路が1相クロック式順序回路であるものとして説明したが、順序回路が2相クロック式順序回路である場合においても、上記本発明に係るスキャンテスト回路の各実施の形態の構成を適用して、実動作速度スキャンテストを実現することは可能である。

【0068】

さらに、上記本発明に係るスキャンテスト回路の各実施の形態の構成を利用すれば、スキャンテスト以外の通常のファンクションテストについても実動作速度テストを実現することが可能となる。

【0069】

通常、実動作速度のファンクションテストを実現するためには、PLL回路やDLL回路を利用して内部クロックを高周波数で動作させることが必要となる。

【0070】

しかし、本発明に係るスキャンテスト回路の各実施の形態の構成を利用すれば、PLL回路やDLL回路によって高周波数クロックを生成しなくても、制御信号SCANDINVによる制御によって、実動作速度のファンクションテストを実現することができる。

【産業上の利用可能性】

【0071】

本発明は、半導体集積回路のテスト回路、特に、半導体集積回路のスキャンテストをその回路の実動作速度において行うスキャンテスト (At-Speed Scan Test) 回路に適用することができる。

【図面の簡単な説明】

【0072】

【図1】 本発明の第1の実施の形態に係るスキャンテスト回路のブロック図である。

【図2】 本発明の第1の実施の形態に係るスキャンテスト回路におけるスキャンクロック及び制御信号SCANDINVのタイミングチャートである。

【図3】 本発明の第2の実施の形態に係るスキャンテスト回路のブロック図である。

【図 4】 本発明の第 3 の実施の形態に係るスキャンテスト回路のブロック図である。

【図 5】 1 相クロック式順序回路を用いて構成した従来のスキャンテスト回路のブロック図である。

【図 6】 1 相クロック式順序回路を用いて構成した従来のスキャンテスト回路におけるスキャンクロックのタイミングチャートである。

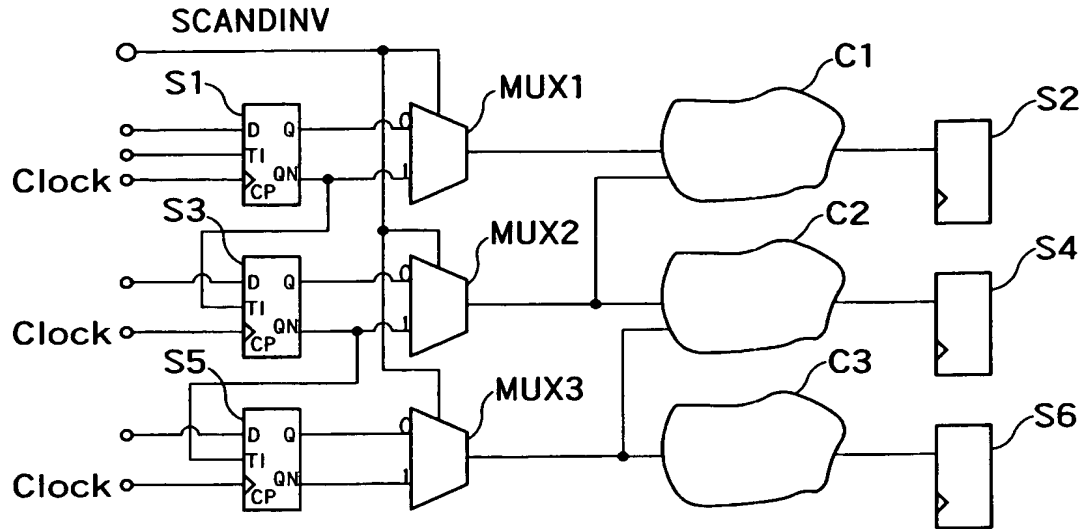
【符号の説明】

【0073】

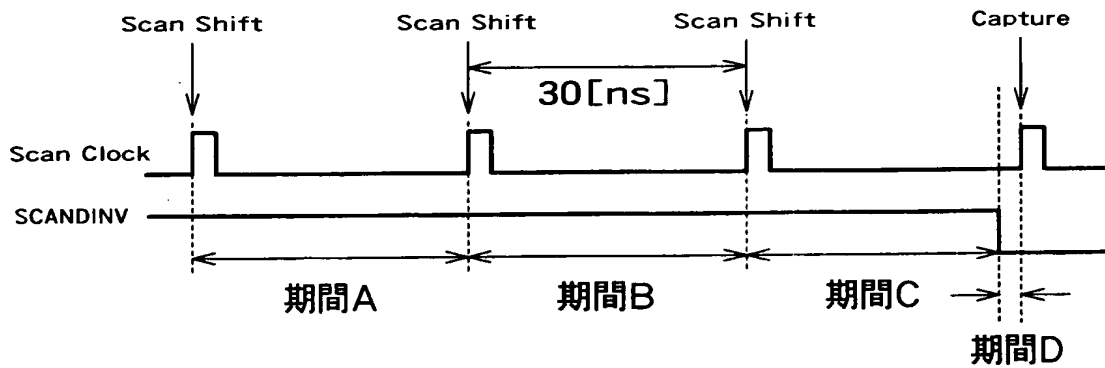
S 1, S 2, S 3, S 4, S 5, S 6 順序回路 (フリップフロップ)
MUX 1, MUX 2, MUX 3 マルチプレクサ
C 1, C 2, C 3 組合せ回路
EX-OR 1, EX-OR 2, EX-OR 3 排他的論理和ゲート回路
INV 1, INV 2, INV 3 インバータ

【書類名】図面

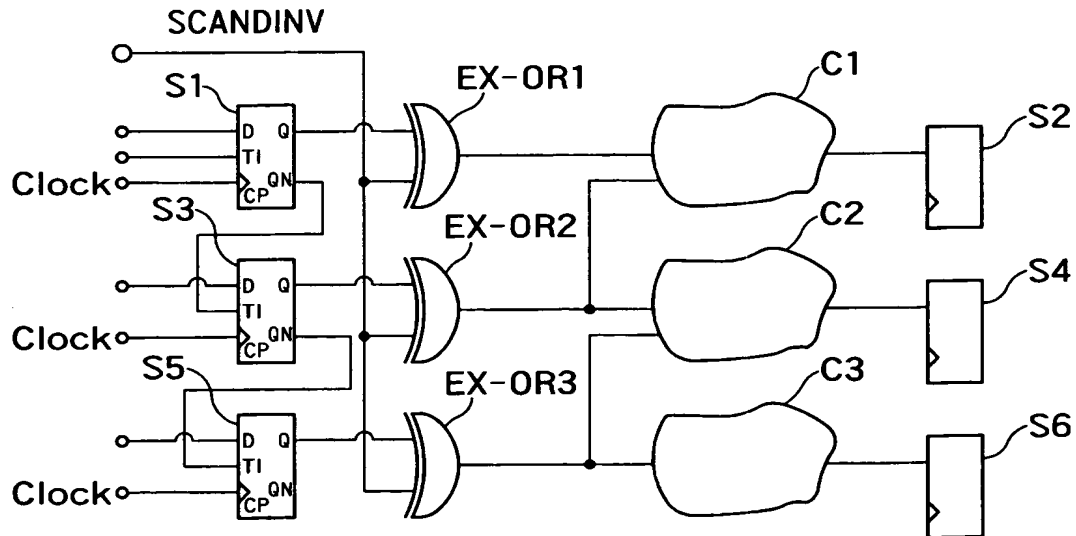
【図 1】



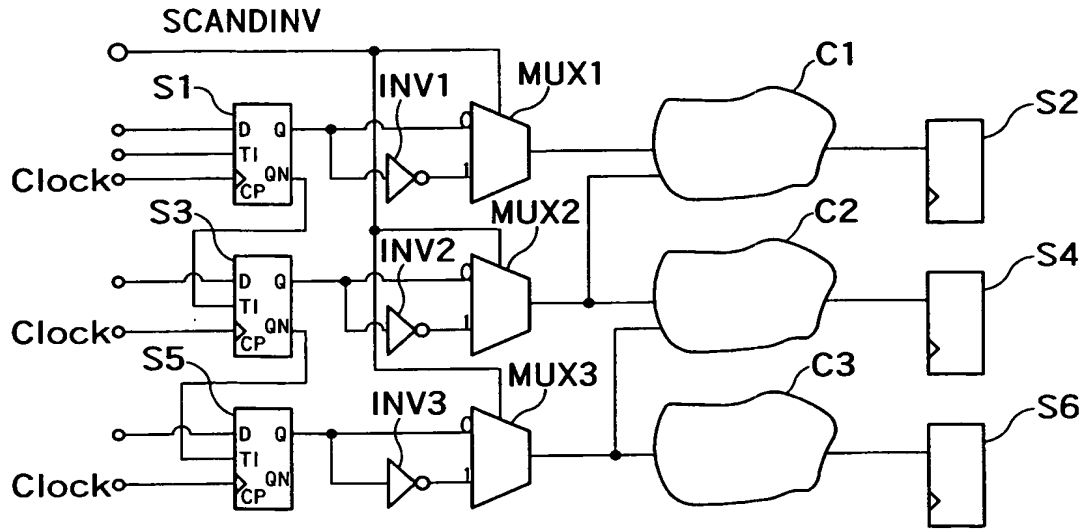
【図 2】



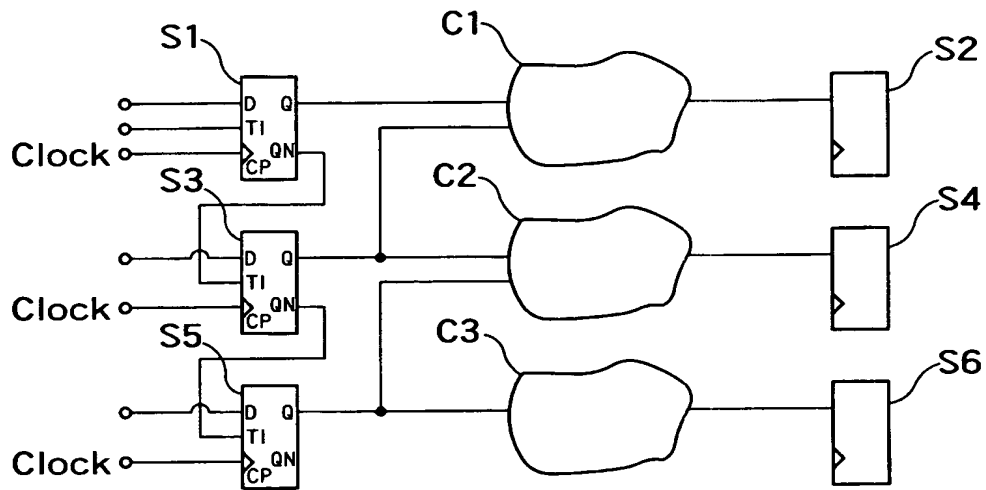
【図 3】



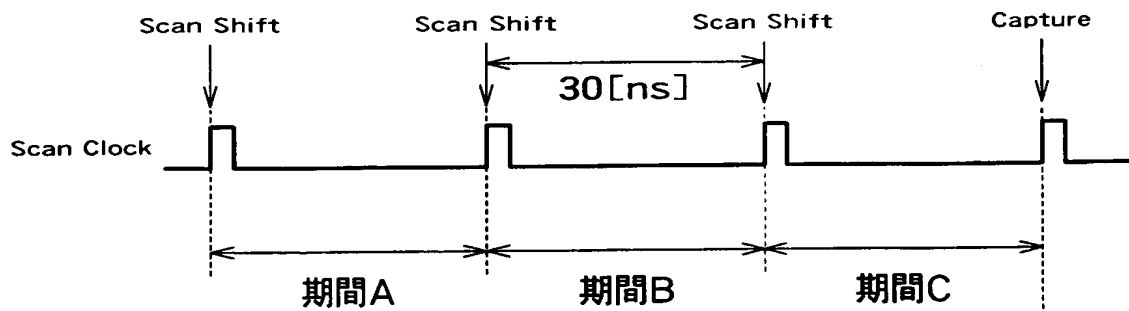
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 簡易かつ安価に実動作速度スキャンテストを実行することが可能なスキャンテスト回路を提供する。

【解決手段】 本発明の実施の一形態に係るスキャンテスト回路は、順序回路と、スキャンテスト対象のパスに含まれる組合せ回路との間に挿入接続され、上記順序回路から出力されるスキャンデータを当該順序回路外部において任意のタイミングで正転及び反転させる正転／反転制御回路を備えているものである。

【選択図】 図 1

特願 2 0 0 3 - 3 9 1 1 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 2 1 1 9 9]

1. 変更年月日

1 9 9 0 年 8 月 2 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市川崎区駅前本町 2 5 番地 1

氏 名

東芝マイクロエレクトロニクス株式会社

特願 2 0 0 3 - 3 9 1 1 0 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日
[変更理由]

住 所
氏 名

2 0 0 1 年 7 月 2 日

住所変更

東京都港区芝浦一丁目 1 番 1 号
株式会社東芝